

引例 1

공고특허10-0210626

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. 6  
H01L 27/10

(45) 공고일자 1999년07월15일  
(11) 공고번호 10-0210626  
(24) 등록일자 1999년04월27일

(21) 출원번호	10-1996-0002898	(65) 공개번호	특1996-0032734
(22) 출원일자	1996년02월07일	(43) 공개일자	1996년09월17일
(30) 우선권주장	95-019555 1995년02월07일 일본(JP) 95-19555 1995년02월07일 일본(JP)		
(73) 특허권자	닛본 덴기 가부시끼가이샤 가네꼬 히사시 일본국 도쿄도 미나도꾸 시바 5조메 7방 1고		
(72) 발명자	다니가와 다까호 일본국 도쿄도 미나도꾸 시바 5조메 7-1 닛본덴기 가부시끼가이샤 내		
(74) 대리인	구영창 장수길		

심사관: 김근모

(54) 벌크 영역 상에 제조된 주변 회로 및 인터페이스 회로를 갖는 반도체 메모리 디바이스

요약

본 발명은 SOI 영역(30a) 상에 제조된 메모리 셀 어레이(31), 및 벌크 영역(30b) 상에 제조된 주변 및 인터페이스 회로(32/33)를 갖는 반도체 동적 랜덤 액세스 메모리 디바이스에 관한 것으로, 주변 회로(32)의 회로 소자는 메모리 셀과 함께 증가되는 경우에도, 벌크 영역(30b)은 주변 및 인터페이스 회로(32/33)에 의해 발생된 열을 효과적으로 방출하므로, 메모리 셀을 온도 상승으로부터 보호한다.

명세서

[발명의 명칭]벌크 영역 상에 제조된 주변 회로 및 인터페이스 회로를 갖는 반도체 메모리 디바이스[도면의 간단한 설명]제1도는 종래 반도체 동적 랜덤 액세스 메모리 디바이스의 구조를 도시하는 단면도.

제2a도는 내지 제2h도는 종래 반도체 동적 랜덤 액세스 메모리 디바이스를 제조하는 프로세스 절차를 도시하는 단면도.

제3도는 본 발명에 따른 반도체 동적 랜덤 액세스 메모리 디바이스의 소자들의 레이아웃을 도시하는 단면도.

제4도는 본 발명에 따른 반도체 동적 랜덤 액세스 메모리 디바이스의 구조를 도시하는 단면도.

제5a도 내지 제5h도는 본 발명에 따른 반도체 동적 랜덤 액세스 메모리 디바이스를 제조하는 프로세스 절차를 도시하는 단면도.

제6도는 본 발명에 따른 다른 반도체 동적 랜덤 액세스 메모리 디바이스의 구조를 도시하는 단면도.

제7a도 내지 제7d도는 반도체 동적 랜덤 액세스 메모리 디바이스를 제조하는 프로세스 절차를 도시하는 단면도.

\* 도면의 주요부분에 대한 부호의 설명30a : SOI 영역 30b : 벌크 영역31 : 메모리 셀 어레이 32 : 주변 회로33 : 인터페이스 회로 35a-b : 층간 절연층 [발명의 상세한 설명]본 발명은 반도체 메모리 디바이스에 관한 것으로, 특히 절연체 상의 실리콘(silicon-on-insulator)(이하, SOI) 영역 상에 제조된 메모리 셀, 벌크 영역 상에 제조된 논리 회로 및 입출력 회로를 갖는 반도체 메모리 디바이스에 관한 것이다.

SOI 구조는 매립형 절연층이 실리콘 기판으로부터 실리콘층을 전기적으로 분리시키는 구조이다. SOI 구조는 항상 실리콘 기판의 전 표면을 점유하는 것이 아니라, 가끔 실리콘 기판의 일부 상에 형성된다. 그러한 선택적 SOI 기판은 일본국 특허 공개 제2-218159호에 기재되어 있고, 집적 회로는 부분적으로 SOI 구조 상에, 그리고 부분적으로는 실리콘 기판 상에 제조된다. SOI 구조에

RS入力済

할당된 영역은 이후, SOI 영역이라 부르고, SOI 구조 외의 다른 영역은 벌크 영역이라 부른다.

제1도는 종래의 선택적 SOI 기판(1) 상에 제조된 반도체 동적 랜덤 액세스 메모리 디바이스를 도시하고, 선택적 SOI 기판(1)은 SOI 영역(1a) 및 벌크 영역(1b)로 나뉜다. SOI 영역(1a)은 메모리 셀 어레리(2a) 및 논리 회로(2b)에 할당되고, 벌크 영역(1b)은 입출력(2c)에 할당된다. 상세히는, 종래 반도체 동적 랜덤 액세스 메모리 디바이스는 p형 실리콘 기판(3) 상에 제조되고, 매립형 산화층(4)은 SOI 영역(1a)에 할당된 p형 실리콘 기판(3)의 일부에 성장된다. 실리콘층(5)은 매립형 산화층(4) 상에 피착되고, 후막 필드 산화층(6)은 선택적으로 실리콘층(5)에 성장된다.

농후하게 도프된 n형 영역(5a, 5b, 및 5c), 및 다른 농후하게 도프된 n형 영역(5d 및 5e)은 실리콘층(5)에 형성된다. 게이트 구조(7a 및 7b)는 농후하게 도프된 n형 영역(5a와 5b)의 사이 및 농후하게 도프된 n형 영역(5b와 5c)의 사이의 실리콘층(5) 상에 형성되고, 게이트 구조(7a)는 다른 농후하게 도프된 n형 영역(5d와 5e)의 사이의 실리콘층(5) 상에 형성된다. 농후하게 도프된 n형 영역(5a/5b)와 게이트 구조(7a), 및 농후하게 도프된 n형 영역(5b 및 5c)와 게이트 구조(7b)는 동적 랜덤 액세스 메모리 셀(8a 및 8b)의 n채널 증강형 스위칭 트랜지스터를 형성한다. 반면에, 농후하게 도프된 n형 영역(5d 및 5e)과 게이트 구조(7c)는 n 채널 증강형 전계 효과 트랜지스터(8c)를 형성하고, n 채널 증강형 전계 효과 트랜지스터(8c)는 논리 회로의 일부를 형성한다.

게이트 구조(7a 내지 7c)는 제1 및 제2층간 절연층(9a 및 9b)로 피복되고, 제2 층간 절연층(9b) 상의 축적 전극(10a/10b), 유전막(10c) 및 카운터 전극(10d)는 동적 랜덤 액세스 메모리 셀(8a 및 8b)의 적층형 축적 캐패시터를 형성한다. 축적 전극(10a 및 10)은 제1 및 제2층간 절연층(9a 및 9b) 내에 형성된 접촉홀을 통해 농후하게 도프된 n형 영역(5a 및 5c)에 대해 지지되고, 농후하게 도프된 n형 불순을 영역(5d)은 제1 층간 절연층(9a) 상의 비트라인(11a)를 통해 논리 회로의 n채널 증강형 전계 효과 트랜지스터(8c)의 농후하게 도프된 n형 영역(5d)에 접속된다. 카운터 전극(10d)은 제3 층간 절연층(9c)으로 도포되고, 배선 스트립(11b, 11c, 11d 및 11e)은 제3 층간 절연층(9c) 상에 연장된다.

반면에, p형 웨(12a) 및 n형 웨(12b)는 벌크 영역(1b) 내에 형성되고, 농후하게 도프된 n형 영역(13a/13b) 및 농후하게 도프된 p형 영역(14a/14b)은 p형 웨(12a) 및 n형 웨(12b) 내에 각각 형성된다. 게이트 구조(13c 및 14c)는 농후하게 도프된 n형 불순을 영역(13a와 13b)의 사이의 p형 웨(12a) 상에, 및 농후하게 도프된 p형 불순을 영역(14a와 14b)의 사이의 n형 웨(12b) 상에 각각 형성된다. 제1 및 제2 층간 절연층(9a 및 9b)과 제3 층간 절연층(9c)은 벌크 영역(1b) 및 게이트 구조(13c 및 14c) 상에 적층되고, 상호 접속부(15a/15b) 및 상호접속부(15c 및 15d)는 제1 내지 제3 층간 절연층(9a 내지 9c) 내에 형성된 접촉홀을 통해 농후하게 도프된 n형 영역(13a/13b) 및 농후하게 도프된 p형 영역(14a/14b)과 접속되어 지지된다. 상호접속부(15e)는 제1 내지 제3 층간 절연층(9a 내지 9c) 내에 형성된 접촉홀을 통해 통과되고, 농후하게 도프된 n형 영역(5e)과 접속되어 지지된다. 농후하게 도프된 n형 영역(13a/13b) 및 게이트 구조(13c)는 n 채널 증강형 전계 효과 트랜지스터를 형성하고, 농후하게 도프된 p형 영역(14a/14b) 및 게이트 구조(14c)는 전체적으로 p 채널 증강형 전계 효과 트랜지스터를 구성한다. 상호접속부(15a 내지 15d)는 n 채널 증강형 전계 효과 트랜지스터, p 채널 증강형 전계 효과 트랜지스터 및 다른 전계 효과 트랜지스터들로부터 입출력 회로(2c)를 제조한다.

입출력 회로(2c)는 다량의 전류를 소모하고, 따라서 많은 열을 발생한다. 벌크 영역(1b)는 효과적으로 열을 방출시킨다.

반면에, 동적 랜덤 액세스 메모리 셀(8a/8b) 및 논리 회로(2b)는 고장없이 고속으로 동작하는 것이 기대된다. 매립형 산화층(4)은 SOI 영역(1a)를 p형 실리콘 기판(3)으로부터 전기적으로 절연시키고, 메모리 셀(8a/8b)의 전계효과 트랜지스터 및 논리 게이트(2b)의 전계효과 트랜지스터(8c)는 매립형 산화층(4) 및 후막 필드 산화층(6)에 의해 서로 완전히 분리된다. 이러한 이유로, 기생 용량은 감소되고, 전기 신호는 고속으로 전달된다. 논리 회로 및 메모리 셀(8a/8b)는 래치업 현성과 알파-입자로 인한 소프트 에러로부터 자유롭고, 접합 누설 전류는 감소된다. 따라서, 선택적 SOI 기판은 반도체 동적 랜덤 액세스 메모리 디바이스에 바람직하다.

종래의 반도체 동적 랜덤 액세스 메모리 디바이스는 제2a도 내지 제2h도에 도시된 프로세스 절차에 따라 제조된다. 프로세스는 p형 실리콘 기판(3)의 준비부터 시작된다. 실리콘 산화층(20)은 p형 실리콘 기판(3)의 주표면 상에서 성장되고, 포토레지스트 마스크(21)은 벌크 영역(1b)에 할당된 영역 상에서 실리콘 산화층(20)의 일부를 피복한다. 산소는 제2a도에 도시된 바와 같이, 200 KeV의 가속 에너지 하에서  $1 \times 10^{-10}$

<sup>17</sup> 내지  $2 \times 10^{18} \text{ cm}^{-2}$ 의 도우즈량으로 p형 실리콘 기판(3)의 노출 영역 내에 이온 주입된다.

포토레지스트 마스크(21)은 스트립 오프되고, p형 실리콘 기판(3)은 1300°C로 6시간 동안 가열된다. p형 실리콘 기판(3)이 가열되는 동안, 주입된 산소는 단결정 실리콘과 반응하여, 매립형 산화층(4)를 형성한다. 실리콘층(5)의 두께는 주입된 산소량에 따른다. 도우즈가 10

<sup>18</sup>  $\text{cm}^{-2}$ 이면, 실리콘층(5)은 150 나노미터 두께이다.

포토레지스트 마스크(22)는 n형 웨(12b)에 할당된 영역 상에서 실리콘 산화층(20) 상에 패터닝되고, 통소는 제2b도에 도시된 바와 같이, 70 KeV의 가속 에너지 하에서 1 내지  $2 \times 10^{13} \text{ cm}^{-2}$ 의 도우즈량으로 p형 실리콘 기판(3)의 노출 영역 내에 이온 주입된다.

포토레지스트 마스크(22)는 스트립 오프되고, 포토레지스트 마스크(23)은 SOI 영역(1a) 및 p형 웨(12a)에 할당된 영역 상에 형성되고, 이온 제2c도에 도시된 바와 같이, 150 KeV의 가속 에너지 하에서 1 내지  $2 \times 10^{13} \text{ cm}^{-2}$ 의 도우즈량으로 p형 실리콘 기판(3)의 노출 영역 내에 이온 주입된다.

포토레지스트 마스크(23)은 스트립 오프되고, p형 실리콘 기판(3)은 1200°C로 1시간 동안 질소와 산소의 혼합 가스 내에서 어닐링된다. 이온 주입된 봉소 및 이온 주입된 인은 제2d도에 도시된 바와 같이, p형 실리콘 기판(3) 내에 확산되어, 실리콘층(5), 이 실리콘층(5)에 인접한 p형 웨(12a), 및 이 p형 웨(12a)에 인접한 n형 웨(12b)를 형성한다.

이어서, 후막 필드 산화층(6)은 LOCOS(Local Oxidation of Silicon; 실리콘의 국소 산화법) 프로세스를 사용하여 실리콘층(5), p형 웨(12a) 및 n형 웨(12b) 상에서 선택적으로 성장된다. 후막 필드 산화층(6)은 메모리 셀(8a/8b), n 채널 증강형 전계 효과 트랜지스터(8c), n 채널 증강형 전계 효과 트랜지스터 및 p 채널 증강형 전계 효과 트랜지스터에 할당된 활성 영역을 한정한다. 이러한 스테이지의 최종 구조는 제2e도에서 설명된다.

실리콘 산화층 실리콘층(5) 상에 열적으로 성장되고, p형 웨(12a), n형 웨(12b) 및 폴리실리콘층을 구조물의 전 표면 상에 피착된다. 적절한 포토레지스트 마스크는 폴리실리콘층 상에 패터닝되고, 폴리실리콘층은 게이트 전극 내에 패터닝된다. 게이트 전극 및 그 하부의 게이트 산화층은 게이트 구조물(7a 내지 7c, 13c 및 14c)을 형성한다.

적절한 포토레지스트 마스크는 n형 웨(12b) 상에 제공되고, n형 도편트 불순물은 실리콘층(5) 및 p형 웨(12a) 내에 이온 주입된다. 그 결과, 농후하게 도프된 n형 영역(5a 내지 5e, 13a 및 13b)들은 게이트 구조물(7a 내지 7c 및 13c)들과 함께 자기 정합 방식으로 실리콘층(5) 및 p형 웨(12a) 내에 형성된다. 포토레지스트 마스크는 스트립 오프되고, 새로운 포토레지스트 마스크는 실리콘층(5) 및 p형 웨(12a)를 피복하는 방식으로 패터닝된다. p형 도편트 불순물은 n형 웨 내에 이온 주입되고, 농후하게 도프된 p형 영역(14a 및 14b)은 게이트 구조물(14c)과 함께 자기 정합 방식으로 n형 웨(12b) 내에 형성된다. 이러한 스테이지의 최종 구조물은 제2f도에 예시된다.

이어서, 실리콘 산화물은 화학 증착법을 사용하여 구조물의 전 표면 상에 피착되고, 인-실리케이트-유리층 또는 봉소-인-실리케이트-유리층은 실리콘 산화층 상에 적층된다. 이들 층은 조합하여 제1 층간 절연층(9a)을 형성한다.

접촉홀은 제1 층간 절연층(9a) 내에 형성되어, 농후하게 도프된 n형 영역(5b 및 5d)을 노출시킨다. 텅스텐 실리사이드층은 제1 층간 절연층(9a) 상에 피착되고, 접촉홀을 통해 농후하게 도프된 n형 영역(5b 및 5d)과 접촉 지지된다. 텅스텐 실리사이드층은 리소그래픽 프로세스를 통해 패터닝되고, 비트라인(11a)은 제1 층간 절연층(9a) 상에 남아 있게 된다.

이어서, 비트라인(11a) 및 제1 층간 절연층(9a)은 제2 층간 절연층(9b)으로 피복되고, 접촉홀은 제1 및 제2 층간 절연층(9a 및 9b)을 통해 형성된다. 접촉홀은 농후하게 도프된 n형 영역(5a 및 5c)를 각각 노출시킨다.

폴리실리콘은 제2 층간 절연층(9b) 상에 피착되고, 폴리실리콘층은 농후하게 도프된 n형 영역(5a 및 5c)과 함께 접촉홀을 통해 지지된다. 적절한 포토레지스트 마스크는 폴리실리콘층 상에 제공되고, 폴리실리콘층은 축적 전극(10a 및 10b) 내에 패터닝된다. 실리콘 질화물은 구조물의 전 표면 상에 피착되고, 부분적으로 산화되어 실리콘 산화층을 실리콘 질화층 상에 적층시킨다. 폴리실리콘은 실리콘 산화층상에 피착되고, 폴리실리콘층, 실리콘 산화층 및 실리콘 질화층은 제2g도에 도시된 바와 같이, 유전막(10c) 및 카운터 전극(10d)으로 패터닝된다.

제3 층간 절연층(9c)은 구조물의 전 표면 상에 피착되고, 실리콘 산화물, 인-실리케이트-유리 또는 봉소-인-실리케이트-유리로 형성된다. 접촉홀은 제1 내지 제3 층간 절연층(9a 내지 9c)을 통해 형성되고, 알루미늄은 제3 층간 절연층(9c) 상에 스퍼터링된다. 알루미늄층은, 제2h도에 도시된 바와 같이, 리소그래픽 프로세스를 이용하여, 배선(11b 내지 11e) 및 상호접속부(15a 내지 15e)로 패터닝된다. 제2h도는 제1도에 대응한다. 메모리 셀(8a 및 8b) 및 논리 회로(2b)는 SOI 영역(1a) 상에 제조되고, 입출력 회로(2c)는 벌크 영역(1b) 상에 형성된다.

표준 동적 랜덤 액세스 메모리 디바이스의 메모리 셀 어레이(2a), 논리 회로(2b) 및 입출력 회로(2c)는 반도체 기판(3)의 실영역의 50%, 40% 및 10%를 각각 점유한다. 동적 랜덤 액세스 메모리 디바이스는 점진적으로 증가된 메모리 셀을 포함하고, 보다 큰 메모리 용량을 갖는 반도체 동적 랜덤 액세스 메모리 디바이스에 대한 연구 및 개발 노력이 계속 행해진다. 따라서, 메모리 셀 어레이(2a) 및 관련 논리 회로(2b)에 할당된 점유 면적은 더욱 증가되나, 입출력 회로(2c)에 대한 점유 면적은 거의 일정하다. 이러한 상황에서, 메모리 셀 어레이(2a) 및 논리회로(2b)는 다량의 일을 발생하고, SOI 구조는 열을 충분히 방출하지 못한다. 그 결과, 메모리 셀 어레이(2a) 및 논리회로(2b)에 의해 발생된 열은 반도체 기판(3)의 온도를 증가시키고, 메모리 셀(8a 및 8b)의 데이터 보유 특성을 열화시킨다. 이는 제1도에 도시된 증래의 반도체 동적 랜덤 액세스 메모리 디바이스에 본래 있던 제1 문제점이다.

SOI 구조는 서브-임계(subthreshold)를 향상시키고 쇼트 채널 효과를 제한하며, 이들 장점들은 실리콘층(5)이 100 나노미터 이하의 두께로 감소될 때 명확해진다. 그러나, 농후하게 도프된 n형 불순물 영역(5d 및 5e)은 박막 실리콘층(5) 내에 형성되고, 큰 기생 용량은 농후하게 도프된 n형 영역(5d 및 5e)에 결합되어, 큰 기생 용량은 논리 회로(2b)로부터/로의 신호 전파를 지연시킨다. 판독/기입 데이터 비트는 비트라인(11a)을 통해 전파되고, 큰 기생 용량에 의한 영향을 덜 받는다. 논리 회로(2b)는 대개 고속으로 임무를 달성하리라고 기대되고, 큰 기생 용량은 논리 회로(2b)의 기능에 강한 영향력을 갖는다.

티타늄 실리사이드 구조는 선택적 텅스텐 성장에 의해 달성된 상승된 구조는 농후하게 도프된 n형 영역(5d 및 5e)에 결합된 큰 기생 용량에 대해 효과적이더라도, 티타늄 및 텅스텐은 750°C 이상의 열처리에 적합하지 않는다. 그러나, 축적 캐패시터는 약 800°C의 열처리를 필요로 하고, 티타늄 실리사이드 구조 또는 상승된 구조는 반도체 동적 랜덤 액세스 메모리 디바이스에 대한 제조 공정

에 덜 적합하다. 더구나, 티타늄 및 텅스텐은 고가이므로, 반도체 동적 랜덤 액세스 메모리 디바이스의 생산 가격이 증가된다. 따라서, 종래 반도체 동적 랜덤 액세스 메모리 디바이스는 SOI 영역(1a) 내의 박막 실리콘층(5)으로 인한 큰 기생 용량의 제2 문제점을 갖는다.

따라서, 본 발명의 주요 목적은 종래 반도체 동적 랜덤 액세스 메모리 디바이스가 본래 가지고 있던 제1 및 제2 문제점이 없는 반도체 메모리 디바이스를 제공하는 것이다.

이러한 목적을 달성하기 위해서, 본 발명은 SOI 영역 및 벌크 영역에 논리 회로를 선택적으로 할당하는 것을 제안한다.

본 발명에 따르면, 제1 반도체층을 제2 반도체층으로부터 절연시키는 벌크 영역 및 SOI 영역을 갖는 반도체 기판 상에 제조된 반도체 메모리 디바이스가 제공되며, 이는 여러 데이터 정보를 저장하기 위해 절연체 상의 반도체 영역 내에서 제1 반도체층 상에 제조된 메모리 셀 어레이; 외부 디바이스에 여러 데이터 정보를 전송하기 위해 벌크 영역 상에 제조된 인터페이스 회로; 및 메모리 셀 어레이와 인터페이스 회로 사이에 결합되어 여러 데이터 정보를 그 사이에 전송하며 벌크 영역 상에 제조된 제1 논리 회로를 포함한다.

이하, 첨부 도면을 참조하여 본 발명을 상세히 설명하고자 한다.

[제1 실시예] 제3도 및 제4도를 참조하면, 반도체 동적 랜덤 액세스 메모리 디바이스는 반도체 기판(30)상에 제조되고, 대개는 메모리 셀 어레이(31), 주변 회로(32) 및 인터페이스 회로(33)를 포함한다.

반도체 기판(30)은 SOI 영역(30a) 및 벌크 영역(30b)을 포함한다. 매립형 실리콘 산화층(30c)은 반도체 기판(30) 내에 선택적으로 형성되고, p형 저부층(30e)로부터 p형 표면층(30d)를 분리시킨다. 매립형 실리콘 산화층(30c) 상의 p형 표면층(30d)은 SOI 영역(30a) 또는 절연체 상의 반도체 영역으로서의 역할을 한다. 이 경우, p형 표면층(30d)의 두께는 10 나노미터 내지 100 나노미터 범위 내에 있다. 이 때문에, p형 표면층(30d)은 서브-임계 특성을 향상시키고, 쇼트 채널 효과에 대해 효과적이다.

벌크 영역(30b)은 SOI 영역(30a) 외에 존재하고, p형 웨(30f) 및 n형 웨(30g)는 벌크 영역(30b) 내에 형성된다. 후막 필드 산화층(34)은 p형 표면층(30d), p형 웨(30f) 및 n형 웨(30g) 내에 선택적으로 성장되고, 주변/인터페이스 회로(32/33)의 메모리 셀 및 회로 소자에 할당된 활성 영역을 한정한다.

다수의 메모리 셀 서브-어레이(31a)들은 행렬로 배열되고, 메모리 셀 어레이(31)를 형성한다. 각각의 메모리 셀 서브-어레이(31a)는 매트릭스로 배열된 메모리 셀을 포함하고, 각각의 메모리 셀은 일련의 n 채널 증강형 전계 흐로우칭 트랜지스터 SW 및 적층형 축적 캐패시터 CP에 의해 구현된다. 데이터 비트는 전기적 전하 형태로 축적 캐패시터에 저장되고, 외부 디바이스는 메모리 셀 어레이(31) 내에 저장된 데이터 정보를 액세스 한다.

모든 메모리 셀들은 SOI 영역(30a) 상에 제조된다. 상세히는, n형 도펀트 불순물은 p형 표면층(30d) 내에 선택적으로 유입되고, p형 표면층(30d) 내에 농후하게 도프된 n형 영역(31b, 31c 및 31d)을 형성한다. 게이트 전극(31e 및 31f)은 농후하게 도프된 n형 영역(31b 및 31c)의 사이, 및 농후하게 도프된 n형 영역(31c와 31d)의 사이의 p형 표면층(30d) 상에 형성되어, 워드라인 WL의 일부를 형성한다. 게이트 전극(31e 및 31f) 및 농후하게 도프된 n형 영역(31b 내지 31d)은 전체적으로 2개의 메모리 셀의 n 채널 증강형 스위칭 트랜지스터 SW를 구성한다.

n 채널 증강형 스위칭 트랜지스터 SW는 제1 층간 절연층(35a)으로 덮힌다. 비트라인 BL은 제1 층간 절연층(35a) 상에서 연장되고, 제1 층간 절연층(35a) 내에 형성된 접촉홀을 통해 농후하게 도프된 n형 영역(31c)와 접촉하여 지지된다.

비트라인 BL은 제2 층간 절연층(35b)로 덮히고, 축적 전극(31g 및 31h)는 제2 층간 절연층(35b) 상에 형성된다. 축적 전극(31g 및 31h)은 제1 및 제2 층간 절연층(35a/35b) 내에 형성된 접촉홀을 통해 농후하게 도프된 n형 영역(31b/31d)과 접촉하여 지지되고, 유전막 구조물(31i)에 의해 피복된다. 카운터 전극(31j)은 유전막 구조물(31i) 상에서 연장되고, 축적 전극(31g/31h), 유전막 구조물(31i) 및 카운터 전극(31j)은 전체로서 적층형 축적 캐패시터 CP를 구성한다.

카운터 전극(31j)은 제3 층간 절연층(35c)에 의해 피복되고, 배선(36a 내지 36d)은 제3 층간 절연층(35c) 상에 형성된다.

제4도는 단지 2개의 셀들을 예시하지만, 모든 메모리 셀들은 SOI 영역(30a) 상에 제조되고, 제4도에 도시된 것과 동일한 구조를 갖는다.

주변 회로(32)는, 외부 디바이스가 데이터 비트를 선택적으로 액세스하게 만든다. 즉, 주변 회로(32)는 워드라인 WL을 통해 메모리 셀 어레이(31)에 결합된 행 어드레스 디코더 유닛(32a), 비트라인 BL을 통해 메모리 셀 어레이(31)에 결합된 열 어드레스 디코더/셀렉터 유닛(32b), 행 어드레싱 시스템용 콘트롤러(32c) 및 열 어드레싱 시스템용 콘트롤러(32d)를 포함하며, 이들 유닛(32a 내지 32d)들은 외부 어드레스 신호에 기초하여 메모리 셀 어레이(31)로부터 메모리 셀 또는 메모리 셀들을 선택한다.

주변 회로(32)는 또한, 비트라인에 결합된 센스 증폭기 유닛(32e)를 포함하고, 센스 증폭기 유닛(32e)은 데이터 비트를 나타내는 전위차를 증가시킨다. 데이터 비트는 센스 증폭기 유닛(32e)를 통해 인터페이스 회로(33)과 선택된 메모리 셀 사이에 전송되고, 이러한

한 이유로, 주변 회로(32)는 메모리 셀 어레이(31)과 인터페이스 회로(33) 사이에 데이터 비트 또는 비트들을 선택적으로 전송한다. 이 경우, 주변 회로(32)는 벌크 영역(30b) 상에 제조된다.

주변 회로(32)의 회로 소자들은 메모리 셀과 함께 증가되고, 많은 열을 발생한다. 그러나, 벌크 영역(30b)은 열을 효과적으로 방출하고, SOI 영역(30a) 내의 온도가 상승하지 않게 한다. 이 때문에 메모리 셀 어레이(31)의 데이터 보유 특성은 전혀 열화되지 않는다. 더구나, 절연층은 주변 회로(32)의 구성 트랜지스터의 불순을 영역 하부로 연장되지 않으며, 불순을 영역에 결합된 기생 용량은 비교적 작다. 이 때문에, 주변 회로(32)는 신호를 고속으로 전환한다.

인터페이스 회로(33)은 입출력 회로(33a)를 포함한다. 입출력 회로(33a)는 외부 어드레스 신호를 수신하고, 어드레스 프리디코드 된 신호를 행 어드레스 디코더 유닛(32a) 및 열 어드레스 디코더/셀렉터 유닛(32b)에 공급한다. 따라서, 입출력 회로(33a)는 행 어드레스 디코더 유닛(32a) 및 열 어드레스 디코더/셀렉터 유닛(32b)가 메모리 셀 어레이(31a)로부터 메모리 셀 또는 메모리 셀들을 선택하게 한다.

입출력 회로(33a)는, 또한, 외부 디바이스로부터 입력 데이터 신호를 수신하고, 열 어드레스 디코더/셀렉터 유닛(32b) 및 비트라인 BL을 통해 데이터 비트 또는 데이터 비트들을 선택된 메모리 셀 또는 셀들에 공급한다. 입출력 회로(33a)는 또한, 선택된 메모리 셀 또는 셀들로부터 데이터 비트 또는 비트들을 비트라인 BL을 통해 수신하고, 출력 데이터 신호를 외부 디바이스에 공급한다. 따라서, 입출력 회로(33a)는 데이터 비트 또는 데이터 비트들을 외부 디바이스와 주변 회로(32) 사이에 전송한다.

입출력 회로(33)는 대 용량 부하를 구동하리라 기대되고, 많은 트랜지스터는 입출력 회로(33) 내에 사용되어, 대 용량 부하를 구동시킨다. 제4도는 입출력 회로(33a)의 일부를 형성하는 n 채널 증강형 전계 효과 트랜지스터 Qn1 및 p 채널 증강형 전계 효과 트랜지스터 Qp1를 도시한다. 농후하게 도프된 n형 영역(33b 및 33c)와 게이트 전극(33d)는 p 채널 증강형 전계 효과 트랜지스터 Qn1을 형성하고, 농후하게 도프된 n형 영역(33e 및 33f)와 게이트 전극(33g)는 조합하여 n 채널 증강형 전계 효과 트랜지스터 Qp1을 구성한다. 제1 내지 제3 층간 절연층(35a 내지 35c)는 이들 전계 효과 트랜지스터 Qn1 및 Qp1 상에 적층되고, 배선 스트립(36e 내지 36h)는 접촉홀을 통해 n형/p형 영역(33b/33c 및 33e/33f)들과 접촉하여 지지된다.

n 채널/p 채널 증강형 전계 효과 트랜지스터 Qn1/Qp1이 많은 열을 발생하더라도, 벌크 영역(30b)는 열을 방출하고, SOI 영역(30a) 내의 온도를 상승시키지 않는다.

제5a도 내지 제5h도를 참조하여, 반도체 등적 랜덤 액세스 메모리 디바이스를 제조하기 위한 프로세스 절차에 대해 설명한다. 프로세스 절차는 p형 반도체 기판(30)의 준비부터 시작된다. 실리콘 산화층(40)은 p형 반도체 기판(30)의 주표면 상에서 성장되고, 포토레지스트 마스크(41)는 벌크 영역(30b)에 할당된 영역 상에서 실리콘 산화층(40)의 일부를 피복한다. 산소는 제5a도에 도시된 바와 같이, 200KeV의 가속 에너지하에서  $1 \times 10^{-6}$

$^{17}\text{cm}^{-2}$  내지  $2 \times 10^{18}\text{cm}^{-2}$ 의 도우즈량으로 p형 반도체 기판(30)의 노출 영역 내에 이온 주입된다.

포토레지스트 마스크(21)은 스트립 오프되고, p형 반도체 기판(30)은 1300°C로 6시간 동안 가열된다. p형 반도체 기판(30)이 가열되는 동안, 주입된 산소는 단결정 실리콘과 반응하고, 매립형 실리콘 산화층(30c)을 형성한다. 매립형 실리콘 산화층(30c)의 두께, 따라서 p형 표면층(30d)의 두께는 주입된 산소량에 따른다. 도우즈가 10

$18 \text{ cm}^{-2}$ 이면, p형 표면층(30d)은 150 나노미터 두께이다. 매립형 실리콘 산화층(30c)은 p형 표면층(30d)을 p형 저부층(30e)로부터 분리시킨다.

그러나, p형 표면층(30d)은 너무 두껍다. 실리콘 산화층(40)은 열 산화법을 이용하여 두께가 200 나노미터만큼 증가되고, 산화는 100 나노미터만큼 p형 표면층(30d)을 소모한다. 즉, 실리콘 산화층(40)은 p형 표면층(30d)의 두께를 50 나노미터로 감소시킨다. p형 표면층(30d)의 산화는 조절가능하고, p형 표면층(30d)의 두께 범위는 10 내지 100 나노미터이다. 실리콘 산화층(40)은 불화수소산 용액 내에서 200 나노미터만큼 균일하게 에칭되어, 실리콘 산화층(40)은 원래 두께로 복귀된다.

포토레지스트 마스크(42)는 n형 웰(30g)에 할당된 영역 상에서 실리콘 산화층(40) 상에 패터닝되고, 봉소는 제5b도에 도시된 바와 같이, 70 KeV의 가속 에너지하에서 1 내지  $2 \times 10^{13} \text{ cm}^{-2}$ 의 도우즈량으로 노출된 p형 실리콘 기판(30) 내로 이온 주입된다.

포토레지스트 마스크(42)는 스트립 오프되고, 포토레지스트 마스크(43) SOI 영역(30a) 및 p형 웨이(30f)에 할당된 영역 상에 형성되고, 인은 제5c도에 도시된 바와 같이, 150 KeV의 가속 에너지 하에서 1 내지  $2 \times 10^{13} \text{ cm}^{-2}$ 의 도우즈량으로 p형 반도체 기판(30)의 노출 영역 내에 이온 주입된다.

포토레지스트 마스크(23)은 스트립 오프되고, p형 반도체 기판(30)은 1200°C로 1시간 동안 질소와 산소의 혼합 가스 내에서 어닐링된다. 이온 주입된 통소 및 이온 주입된 인은, 제5d도에 도시된 바와 같이, p형 실리콘 기판(30) 내에 확산되어, p형 표면층(30d)에 인접한 p형 웰(30f), 및 이 p형 웰(30f)에 인접한 n형 웰(30g)를 형성한다.

이어서, 후막 필드 산화층(34)은 LOCOS 프로세스를 사용하여 p형 표면층(30d), p형 웨이(30f) 및 n형 웨이(30g) 상에 선택적으로 성장된다. 후막 필드 산화층(34)은 2개의 메모리 셀, n 채널 증강형 전계 효과 트랜지스터 On1 및 p 채널 증강형 전계 효과 트랜지스터

Op1에 할당된 활성 영역을 한정한다. 이러한 스테이지의 최종 구조는 제5e도에 예시된다.

실리콘 산화층은 p형 표면층(30d), p형 웨(30f) 및 n형 웨(30g) 상에 열적으로 성장되고, 폴리실리콘층은 구조물의 전 표면 상에 피착된다. 적절한 포토레지스트 마스크는 폴리실리콘층 상에 패터닝되고, 폴리실리콘층은 각각의 게이트 산화층 상의 게이트 전극(31e, 31f, 33d 및 33g)로 패터닝된다.

적절한 포토레지스트 마스크는 n형 웨(30g) 상에 제공되고, n형 도펀트 블순률은 p형 표면층(30d) 및 p형 웨(30f) 내에 이온 주입된다. 그 결과, 농후하게 도프된 n형 영역(31b 내지 31d, 33b 및 33c)들은 게이트 전극(31e, 31f 및 33d)들과 함께 자기 적합 방식으로 p형 표면층(30d) 및 p형 웨(30f) 내에 형성된다.

포토레지스트 마스크는 스트립 오프되고, 새로운 포토레지스트 마스크는 p형 표면층(30d) 및 p형 웨(30f)를 피복하는 방식으로 패터닝된다. p형 도펀트 블순률은 n형 웨(30g) 내에 이온 주입되고, 농후하게 도프된 p형 영역(33e 및 33f)은 게이트 전극(33g)과 함께 자기 정합 방식으로 n형 웨(30g) 내에 형성된다. 이러한 스테이지의 최종 구조들은 제51도에 예시된다.

이어서, 실리콘 산화물은 화학 증착법을 사용하여 구조물의 전 표면 상에 피착되고, 인-실리케이트-유리층 또는 봉소-인-실리케이트-유리층은 실리콘 산화층 상에 적층된다. 이들 층은 조합하여 제1 층간 절연층(35a)를 형성한다.

접촉홀은 제1 층간 절연층(35a) 내에 형성되고, 농후하게 도프된 n형 영역(31b 및 31d)을 노출시킨다. 텅스텐 실리사이드층은 제1 층간 절연층(35a) 상에 피착되고, 접촉홀을 통해 농후하게 도프된 n형 영역(31b 및 31d)과 접촉하여 지지된다. 텅스텐 실리사이드층은 리소그래픽 프로세스를 통해 패터닝되고, 비트라인 BL은 제1 층간 절연층(35a) 상에 남아 있게 된다.

계속해서, 비트라인 BL 및 제1 층간 절연층(35a)은 제2 층간 절연층(35b)으로 피복되고, 접촉홀은 제1 및 제2 층간 절연층(35a 및 35b)을 통해 형성된다. 접촉홀은 농후하게 도프된 n형 영역(31b 및 31d)을 각각 노출시킨다.

폴리실리콘은 제2 층간 절연층(35b) 상에 피착되고, 폴리실리콘층은 접촉홀을 통해 농후하게 도프된 n형 영역(31b 및 31d)으로 지지된다. 적절한 포토레지스트 마스크는 폴리실리콘층 상에 제공되고, 폴리실리콘층은 축적 전극(31g 및 31h)으로 패터닝된다. 실리콘 질화물은 구조물의 전 표면 상에 피착되고, 부분적으로 산화되어 실리콘 산화층을 실리콘 질화물 상에 적층시킨다. 폴리실리콘은 실리콘 산화층 상에 피착되고, 폴리실리콘층, 실리콘 산화층 및 실리콘 질화층은, 제5g도에 도시된 바와 같이, 유전막 구조물(31i) 및 카운터 전극(31j)으로 패터닝된다.

제3 층간 절연층(35c)은 구조물의 전 표면 상에 피착되고, 실리콘 산화물, 인-실리케이트-유리 또는 봉소-인-실리케이트-유리로 형성된다. 접촉홀은 제1 내지 제3 층간 절연층(35a 내지 35c)을 통해 형성되고, 알루미늄은 제3 층간 절연층(35c) 상에 스퍼터링된다. 알루미늄층은, 제5h도에 도시된 바와 같이, 리소그래픽 프로세스를 이용하여, 배선(36a 내지 36h)으로 패터닝된다.

상기에서 알 수 있듯이, 반도체 동적 랜덤 액세스 메모리 디바이스는 SOI 영역(30a) 상에 제조된 메모리 셀 어레이(31)를 포함하고, p형 표면층(30d)의 두께 범위는 10 내지 100 나노미터이다. 그 결과, n 채널 증강형 스위칭 트랜지스터 SW는 서브-임계 특성에 있어서 향상되고, 쇼트 채널 효과는 제한되며, 적층형 축적 캐패시터 CP는 일파 입자로 인한 소프트 에러로부터 자유로울 수 있다.

반면에, 주변 회로(32) 및 인터페이스 회로(33)은 벌크 영역(30b) 상에 제조되고, 벌크 영역(30b)는 회로(32 및 33)들에 의해 발생된 열을 효과적으로 방출한다. 그 결과, 반도체 기판(30)은 고온 환경으로 인한 온도 상승 및 고장으로부터 보호된다. 더구나, 농후하게 도프된 n형 영역(33b/33c) 및 농후하게 도프된 p형 영역(33e/33f)는 매립형 실리콘 산화층(30c)로부터 자유롭고, 제조업자는 이를 영역(33b/33c 및 33e/33f)으로 깊은 p-n 접합부를 형성할 수 있다. 농후하게 도프된 n형 영역(33b/33c) 및 농후하게 도프된 p형 영역(33e/33f)가 약 0.1 내지 0.15 미크론 깊이의 p-n 접합부를 가지면, 고유 저항은 100 내지 300 오옴/스퀘어로 감소한다. 저 저항은 실리사이드 구조 및 상승된 구조없이 신호 전파를 가속시킨다.

[제2 실시예] 제6도를 참조하면, 본 발명을 구체화하는 다른 반도체 동적 랜덤 액세스 메모리 디바이스가 p형 반도체 기판(50) 상에 제조되고, 대개는 제1 실시예와 유사하게 메모리 셀 어레이(51), 주변 회로(52) 및 인터페이스 회로(53)를 포함한다. p형 반도체 기판(50)은 SOI 영역(50a)과 벌크 영역(50b)로 나뉜다. p형 반도체 기판(50)은 p형 표면층(50c)을 제외하면 p형 반도체 기판(30)과 유사하고, 다른 층들 및 웨들은 제1 실시예의 대응하는 층들 및 웨들과 동일한 참조 번호를 부여하여 상세한 설명을 생략한다. p형 표면층(50c)은 매립형 실리콘 산화층(30c) 상에 형성되고, 박막 표면부(50d) 및 후막 표면부(50e)를 포함한다. 이 경우, 박막 표면부(50d)의 두께 범위는 10 내지 100 나노미터이고, 후막 표면부(50e)의 두께 범위는 100 내지 150 나노미터이다.

메모리 셀 어레이(51)은 다수의 메모리 셀을 포함하고, 메모리 셀은 SOI 영역(50a) 내의 박막 표면부(50d) 상에 제조된다. 메모리 셀은 제1 실시예와 유사하게, 일련의 n 채널 증강형 스위칭 트랜지스터 SW 및 적층형 축적 캐패시터 CP에 의해 구현되고, 메모리 셀의 일부를 형성하는 영역 및 층은 제1 실시예와 동일한 참조 번호를 부여하여 상세한 설명을 생략한다.

행 어드레스 디코더 유닛, 열 어드레스 디코더/셀렉터 유닛, 행 어드레싱 시스템용 콘트롤러, 열 어드레싱 시스템용 콘트롤러 및 센스 증폭기 유닛(52a)은 제1 실시예의 주변 회로(32)와 유사하게 주변 회로(52) 내에 포함된다. 센스 증폭기 유닛(52a)은 SOI 영역(50a) 내의 후막 표면부(50e) 상에 제조되고, 센스 증폭기 유닛(52a)의 구성 트랜지스터들 중 하나는 제6도에서 예시된다. 구성 트랜지스터는 n 채널 증강형 전계 효과 트랜지스터 On2이고, 농후하게 도프된 n형 영역(52b/52c) 및 게이트 전극(52d)은 전체적으로

n채널 증강형 전계 효과 트랜지스터 On2를 구성한다. 배선(36i)은 제1 내지 제3 층간 절연층(35a 내지 35c) 내에 형성된 접촉홀을 통해 농후하게 도프된 n형 영역(52c)과 접촉하여 지지된다.

농후하게 도프된 n형 영역(52b/52c)은 n 채널 증강형 스위칭 트랜지스터 SW의 농후하게 도프된 n형 영역(31b/31c/31d)보다 더 깊다.

주변 회로(52)의 다른 유닛들은 벌크 영역(50b)상에 제조되고, 다른 논리회로(52b)로서의 역할을 한다.

인터페이스 회로(53)은 벌크 영역(50b) 상에 제조된 입출력 회로를 포함한다. 입출력 회로의 층 및 영역은 제1 실시예와 동일한 참조 번호를 부여하여 상세한 설명을 생략한다.

결과적으로, 제2 실시예를 구현하는 반도체 동적 랜덤 액세스 메모리 디바이스를 제조하기 위한 프로세스 절차에 대해 설명한다. 프로세스 절차는 반도체 기판(50)의 준비부터 시작된다. 실리콘 산화층(51)은 p형 반도체 기판(50)의 주 표면 상에서 성장되고, 포토레지스트 마스크(52)는 벌크 영역(50b)에 할당된 영역 상에서 실리콘 산화층(40)의 일부를 덮는다. 산소는 제7a도에 도시된 바와 같이, 200 KeV의 가속 에너지 하에서  $1 \times 10^{17}$  cm<sup>-2</sup> 내지  $2 \times 10^{18}$  cm<sup>-2</sup>의 도우즈량으로 p형 반도체 기판(50)의 노출 영역 내에 이온 주입된다.

포토레지스트 마스크(21)는 스트립 오프되고, p형 반도체 기판(30)은 1300°C로 6시간 동안 가열된다. p형 반도체 기판(30)이 가열되는 동안, 주입된 산소는 단결정 실리콘과 반응하고, 매립형 실리콘 산화층(30c)를 형성한다. 매립형 실리콘 산화층(30c)의 두께, 따라서 p형 표면층(50c)의 두께는 주입된 산소량에 따른다. 도우즈가 10

$18 \text{ cm}^{-2}$ 이면, p형 표면층(50c)은 150 나노미터 두께이다. 매립형 실리콘 산화층(30c)은 p형 표면층(50d)를 p형 저부층(30e)로부터 분리시킨다.

결과적으로, 박막 표면부(50d) 및 후막 표면부(50e)는 p형 표면층(50c) 내에 형성된다. 이 경우, 박막 표면부(50d) 및 후막 표면부(50e)는 각각 50 나노미터 및 120 나노미터 두께로 가정된다. 실리콘 산화층(51)은 제거되고, 실리콘 산화층(53)은 p형 반도체 기판(50)의 전 표면 상에서 두께 60 나노미터로 열적 성장된다. 실리콘 질화층(54)은 실리콘 질화층(53) 상에 100 나노미터 두께로 피착되고, 포토레지스트 마스크(55)는 실리콘 질화층(54) 상에 제공된다. 포토레지스트 마스크(55)는 박막 표면부(50d)에 할당된 영역 상에서 실리콘 질화층(54)을 노출시키고, 노출된 실리콘 질화층(54)은 제7b도에서 도시된 바와 같이 에칭 제거된다.

포토레지스트 마스크(55)는 스트립 오프되고, p형 반도체 기판(50)은 980°C에서 산소와 수소를 함유한 산화 분위기 내에 배치된다. 실리콘 질화층(54)으로 덮히지 않은 p형 표면층(50c)은 선택적으로 산화되고, 실리콘 산화층(53)은 제7c도에 도시된 바와 같이, 부분적으로 200 나노미터 두께로 증가한다.

p형 표면층(50c)은 실리콘 산화층(53)의 두께의 1/2만큼 소모된다. p형 표면층(50c)은 열적 산화 동안 30 나노미터 두께만큼 소모되고, 실리콘 질화층(54)은 산소로부터 하부의 p형 표면층(50c)를 보호한다. 이 때문에, 후막 표면부(50e)는 120 나노미터 두께이다. 반면에, 실리콘 질화층(54)로 덮히지 않은 p형 표면층(50c)은 산화 분위기 내에서 더욱 산화되고, 박막 표면부(50d)는 50 나노미터 두께이다.

실리콘 질화층(54)은 인산 용액(HPO<sub>3</sub>) 내에서 에칭 제거되고, 실리콘 산화층(53)은 불화수소산 용액(HF) 내에서 제거된다. 그 결과 스텝(50f)이 생기고, p형 표면층(50c)은 제7d도에 도시된 바와 같이, 박막 표면부(50d)와 후막 표면부(50e)로 나뉜다.

박막 및 후막 표면부(50d/50e)의 형성 이후에, 제2 실시예의 프로세스 절차는 제1 실시예의 단계들과 유사하므로, 이들에 대해서는 설명의 간략화를 위해 더 이상 설명하지 않는다.

제2 실시예를 구현하는 반도체 동적 랜덤 액세스 메모리 디바이스는 SOI 영역(50a) 상에 제조된 메모리 셀 어레이(51), 및 벌크 영역(50b) 상에 제조된 다른 논리 회로 및 인터페이스 회로(53)를 포함하고, 이러한 레이아웃은 제1 실시예의 모든 장점들을 달성한다.

제2 실시예에서, 센스 증폭기 유닛(52a)은 SOI 영역(50a)의 후막 표면부(50e) 내에 형성된다. 농후하게 도프된 n형 영역(52b/52c)의 저항 범위는 100 내지 300 오姆/스퀘어인데, 그 이유는 후막 표면부(50e)는 제조업자로 하여금 0.1 내지 0.15 미크론 깊이의 p-n 접합부를 형성할 수 있게 하기 때문이다. 더구나, 매립형 실리콘 산화층(30c)은 농후하게 도프된 n형 영역(52b/52c)에 결합된 기생 용량을 감소시키고, 비트라인 BL을 통한 신호 전파가 기생 용량의 감소에 의해 더욱 가속된다. 적은 기생 용량은 메모리 셀로부터 독출된 데이터 비트를 나타내는 전위차의 크기를 증가시키고, 잡음 저항 특성을 향상시킨다.

본 발명의 특정 실시예가 도시 및 기술되었더라도, 본 분야의 숙련자들에 의해 본 발명의 범위를 벗어나지 않는 한도에서 다양한 변형이 이루어질 수 있음을 알 수 있다. 예를 들면, 본 발명에 따른 레이아웃은 다른 종류의 반도체 메모리 디바이스에도 적용 가능하고, 기판은 다른 반도체 물질로 만들어질 수 있다. 동적 랜덤 액세스 메모리 디바이스는 다른 기능 블록과 함께 초대규모 집적회로의 일부를 형성 할 수 있다. 제1 내지 제3 실시예에서, p형 반도체 기판이 사용된다. 그러나, n형 반도체 기판은 사용 가능하고, 프로

세스 조건은 본 발명의 기술 범주를 제한하지 않는다.

#### (57) 청구의 범위

##### 청구항1

제1 반도체층(30d; 50c)을 제2 반도체층(30e)로부터 분리시키는 절연층(30c)을 갖는 절연체 상의 반도체 영역(30a; 50a), 및 벌크 영역(30b; 50b)을 포함하는 반도체 기판(30; 50) 상에 제조된 반도체 메모리 디바이스로서, 상기 절연체 상의 반도체 영역(30a; 50a) 내의 상기 제1 반도체층(30d; 50c) 상에 제조되어 여러 데이터 정보를 저장하는 메모리 셀 어레이(31; 51), 상기 벌크 영역(30b; 50b) 상에 제조되어 상기 여러 데이터 정보를 외부 디바이스에 전송하는 인터페이스 회로(33; 53), 및 상기 메모리 셀 어레이(31; 51)와 상기 인터페이스 회로(33; 53) 사이에 결합되어 이들 사이에서 상기 여러 데이터 정보를 선택적으로 전송하는 주변 회로(32; 52)를 포함하는 메모리 디바이스에 있어서, 상기 벌크 영역 및 상기 절연체 상의 반도체 영역은 상기 반도체 기판 상에 배치되며, 상기 주변 회로(32; 52)는 상기 벌크 영역(30b; 50b) 상에 제조된 제1 논리 회로(32a/32b/32c/32d/32e; 52b)를 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

##### 청구항2

제1항에 있어서, 상기 제1 반도체층(30d)의 두께는 10 내지 100 나노미터의 범위인 반도체 메모리 디바이스.

##### 청구항3

제1항에 있어서, 상기 메모리 셀 어레이(31)는 다수의 동적 랜덤 액세스 메모리 셀에 의해 형성되는 반도체 메모리 디바이스.

##### 청구항4

제1항에 있어서, 상기 제1 논리 회로는 어드레스 디코더(32a/32b), 셀렉터(32b), 어드레싱 시스템용 콘트롤러(32c/32d), 및 센스 증폭기(32e)를 포함하는 반도체 메모리 디바이스.

##### 청구항5

제1항에 있어서, 상기 제1 반도체층(50c)는 두께 범위가 10 내지 100 나노미터인 박막부(thin portion)(50d) 및 두께 범위가 100 내지 150 나노미터인 후막부(thick portion)(50e)를 포함하고, 상기 메모리 셀 어레이(51)는 상기 절연체 상의 반도체 영역(50a) 내의 상기 박막부(50d) 상에 제조되는 반도체 메모리 디바이스.

##### 청구항6

제5항에 있어서, 상기 주변 회로(52)는 상기 절연체 상의 반도체 영역(50a) 내의 상기 후막부(50e) 상에 제조된 제2 논리 회로(52a)를 더 포함하는 반도체 메모리 디바이스.

##### 청구항7

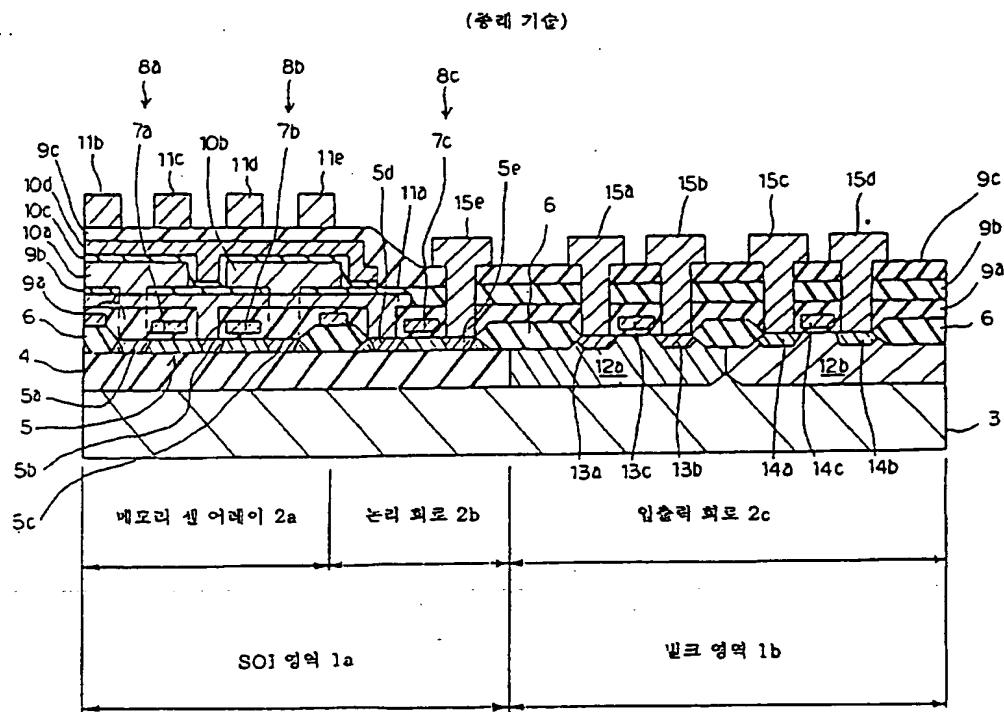
제6항에 있어서, 상기 제1 논리 회로는 어드레스 디코더, 셀렉터 및 어드레싱 시스템용 콘트롤러를 포함하고, 상기 제2 논리 회로는 센스 증폭기(52a)를 포함하는 반도체 메모리 디바이스.

##### 청구항8

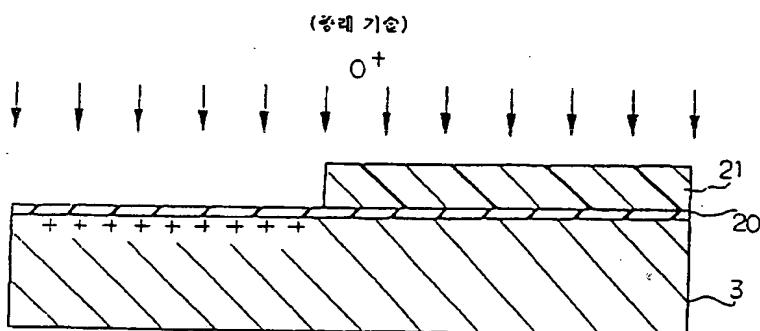
제6항에 있어서, 상기 제2 논리 회로(52a)는 상기 메모리 셀 어레이 내에 포함된 메모리 셀의 일부를 형성하는 전계 효과 트랜지스터(SW)의 소스 및 드레인 영역(31b/31c)보다 더 깊은 소스 및 드레인 영역(52b/52c)를 갖는 적어도 하나의 전계 효과 트랜지스터(Qn2)를 포함하는 반도체 메모리 디바이스.

## 도면

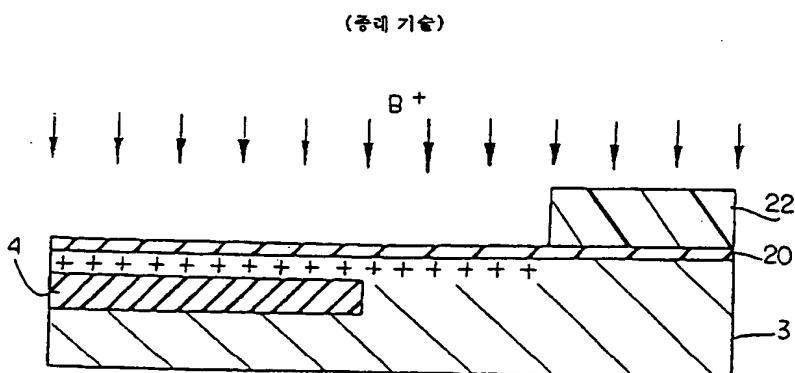
### 도면1



도면2a

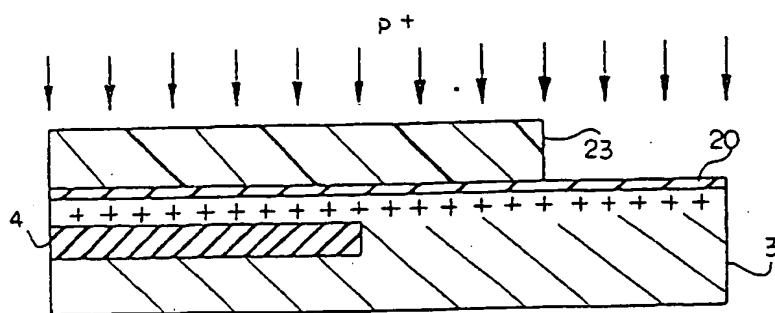


도면2b



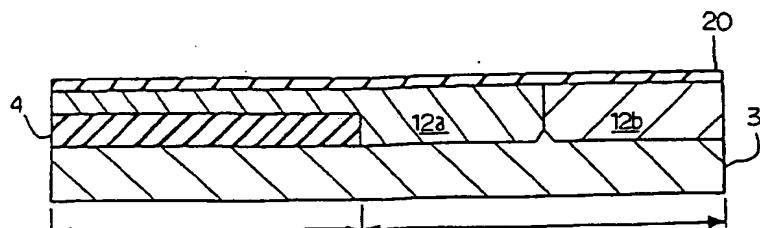
도면2c

(증례 기술)



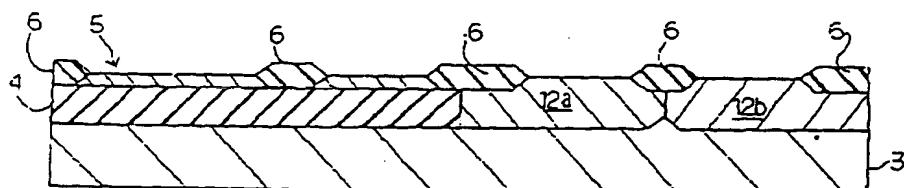
도면2d

(증례 기술)



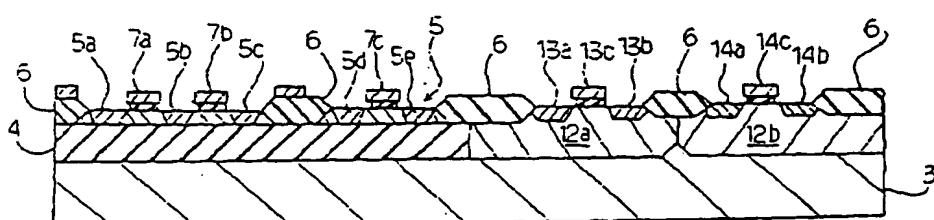
도면2e

(증례 기술)



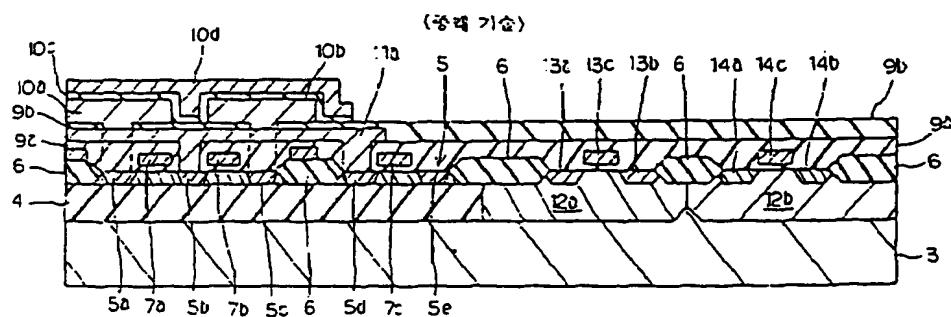
도면2f

(증례 기술)

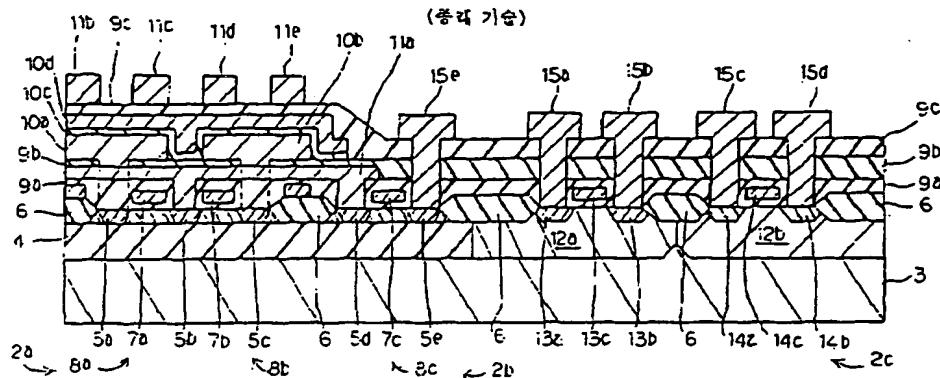


도면2g

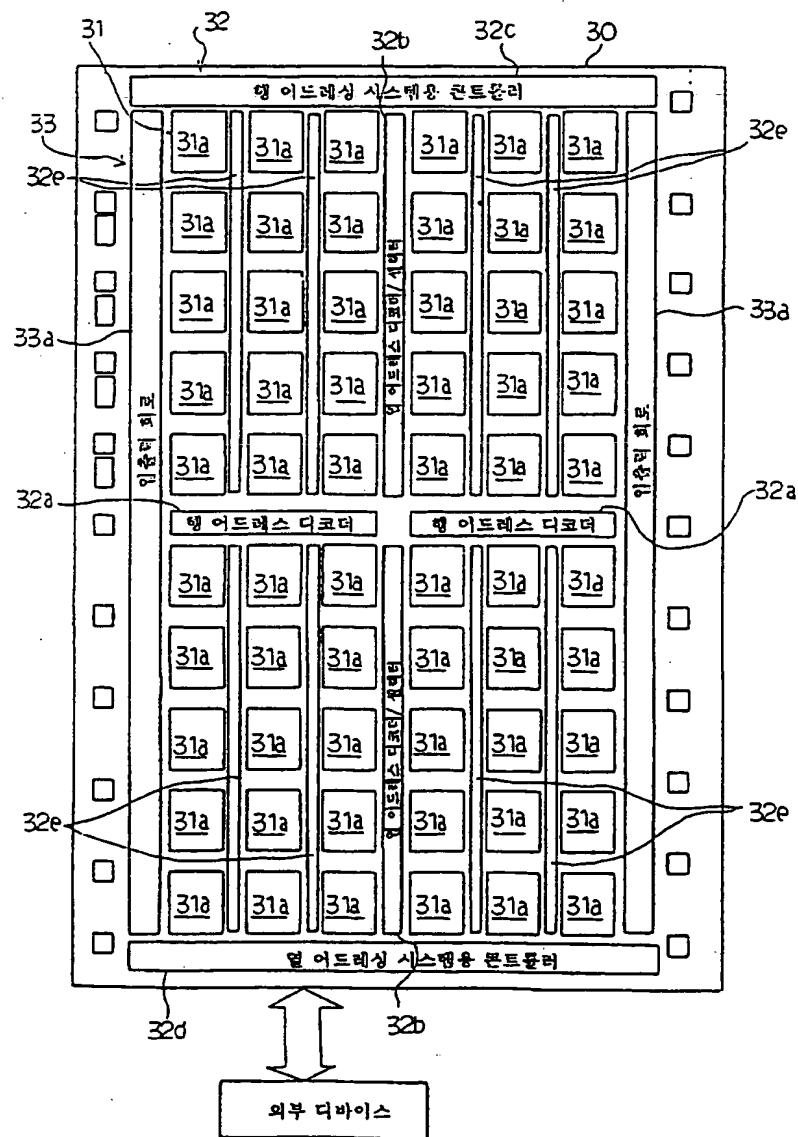
(증례 기술)



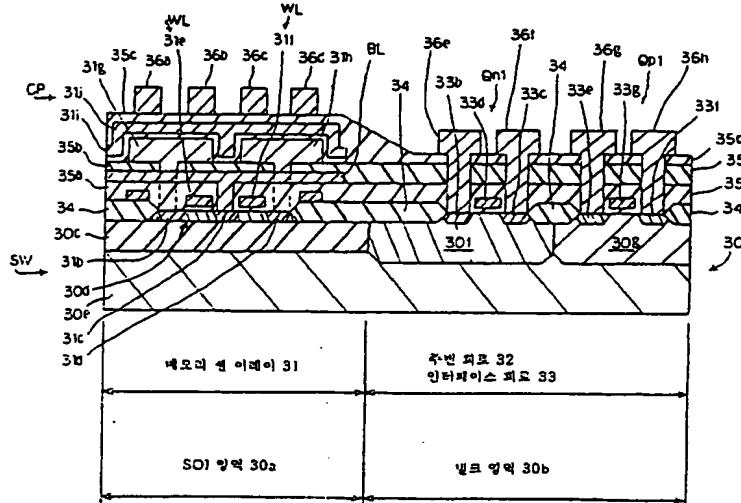
도면2h



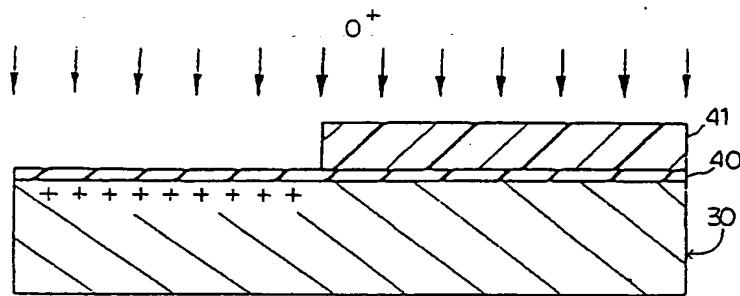
도면3



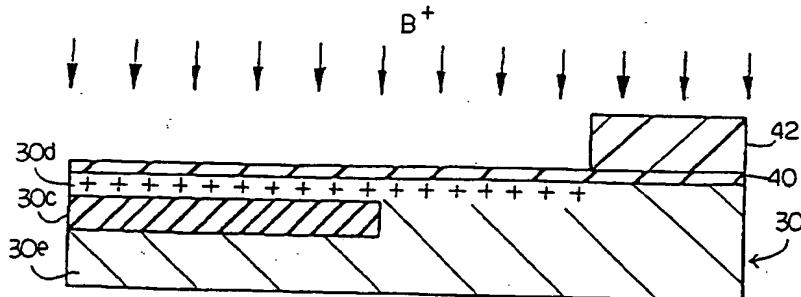
도면4



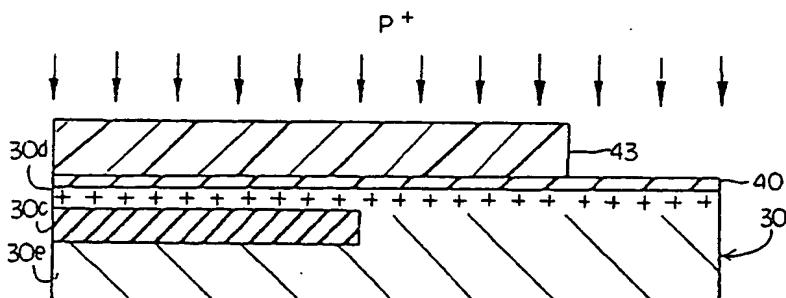
### 도면5a



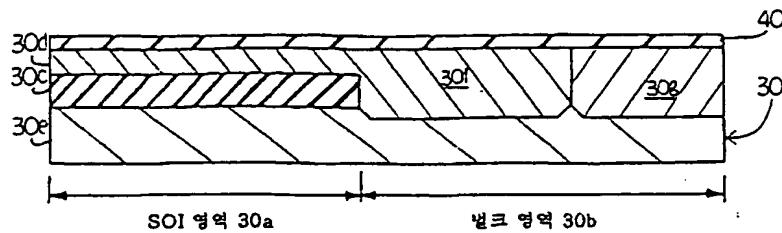
### 도면 5b



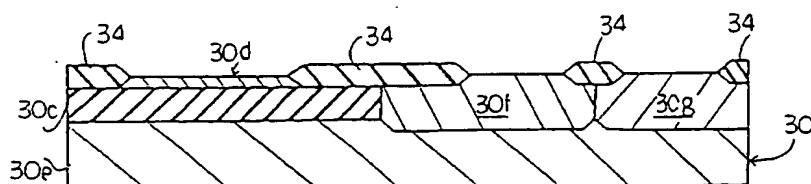
### 도면5c



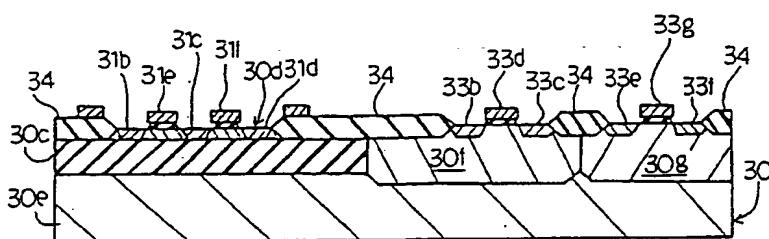
### 도면 5d



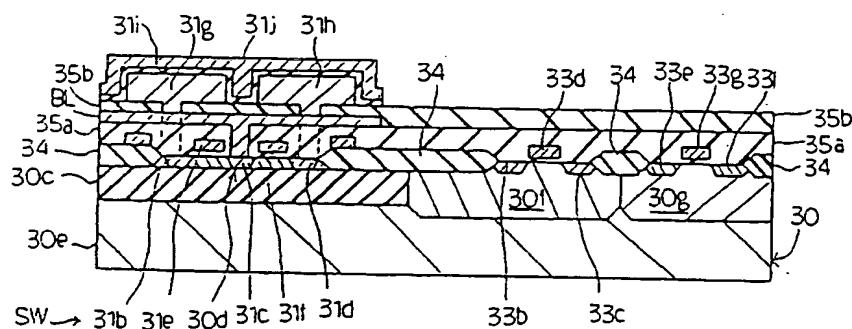
도면5e



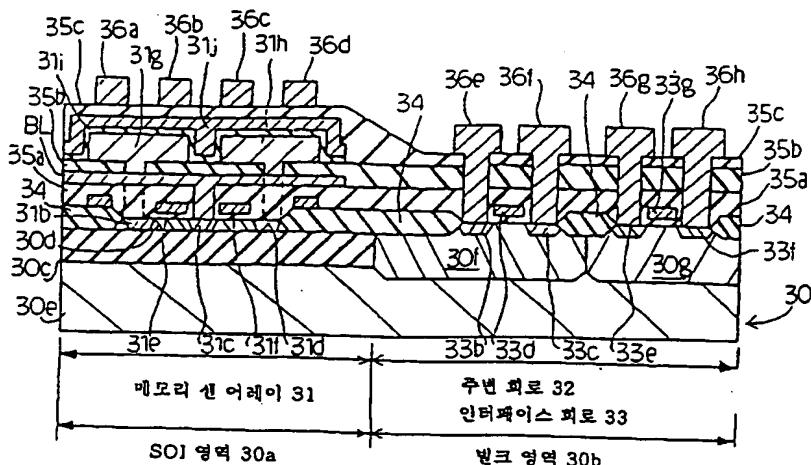
도면5f



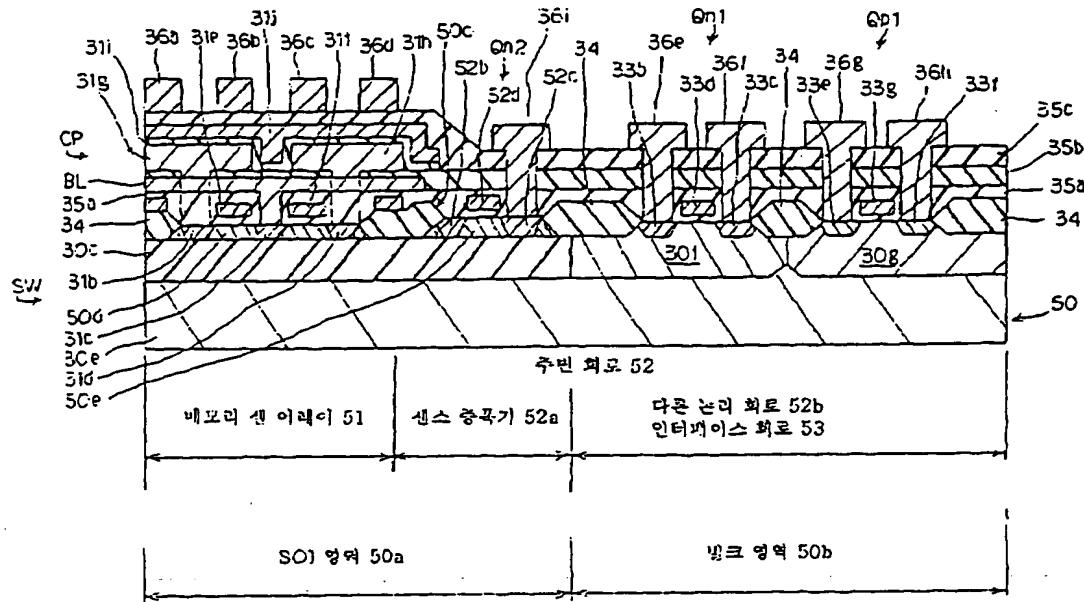
도면5g



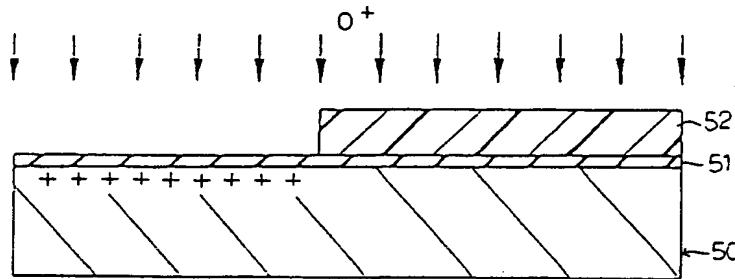
도면5h



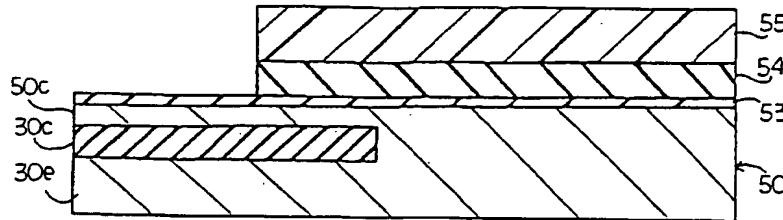
도면6



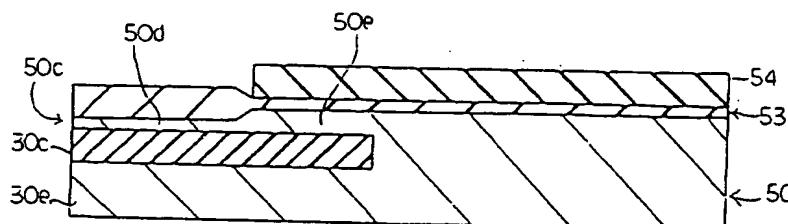
### 도면7a



### 도면 7b



도면7c



## 도면7d

